

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-203906

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 21/321

H01L 21/768

(21)Application number : 07-011306

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 27.01.1995

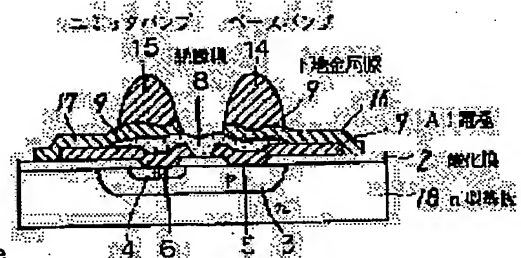
(72)Inventor : AMANO AKIRA

(54) SEMICONDUCTOR DEVICE WITH BUMP AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To enable the chip area to be reduced by providing bumps on active parts whereto the current of a semiconductor substrate is supplied through the intermediary of a soft insulating film.

CONSTITUTION: Bumps 14, 15 are provided on active regions whereto the current of a semiconductor substrate 18 is supplied through the intermediary of a soft insulating film 8. For example, a p-type base diffused region 3 is formed on the surface layer of an n-type semiconductor substrate 18 and an n-type emitter region 4 is formed on the surface of said region 3. Besides, the surface of the semiconductor substrate 18 is covered with an oxide film 2 while an Al electrode 7 is in contact with the regions 3 and 4 through a base aperture part 5 and an emitter aperture part 6. Furthermore, a polyimide made insulating film 8 is formed on the Al electrode 7 as well as a base bump 14 and an emitter bump 15 made of solder are formed on the insulating film 8 through the intermediary of an underlying metallic films 9. In such a constitution, the Al electrode 7 is in contact with the base bump 14 and the emitter bump 15 respectively using a base contact part 16 and an emitter contact part 17.



LEGAL STATUS

[Date of request for examination]

20.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3259562

[Date of registration]

14.12.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device with a bump characterized by having a bump through a soft insulator layer on the active region where the current of a semi-conductor substrate flows.

[Claim 2] The semiconductor device with a bump according to claim 1 characterized by a soft insulator layer being polyimide resin.

[Claim 3] The manufacture approach of the semiconductor device with a bump according to claim 2 characterized by carrying out spreading formation of the polyimide resin to the bump formation part on the active region where the current of a semi-conductor substrate flows.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the electrode of the letter of a projection for the bonding to a printed circuit board, a film substrate, etc., the semiconductor device with a bump which has the so-called bump, and its manufacture approach.

[0002]

[Description of the Prior Art] The electrode of the letter of a projection and the semiconductor device which has the so-called bump are mass-produced for connection of a semiconductor device of the high-reliability of many electrodes. The top view of the example in which the solder bump was formed is shown in the npn-transistor chip which used n mold substrate for drawing 4 as an example of the conventional semiconductor device with a bump. Transistor structure shall be made by processes, such as pattern formation which used the photo etching technique for the semiconductor chip 1, oxidization, and impurity diffusion. 3 is a base diffusion field, 4 is an emitter diffusion field, and the base opening 5 and the emitter opening 6 which were prepared for the electrode connection with the oxide film on it are shown by the dotted line. 19 is opening for electrode connection of a collector. And it connects with the pad which metals, such as aluminum, were prepared in vacuum evaporation and the aluminum electrode 7 which carried out pattern formation, and was prepared on these openings at the periphery on a chip 1.

On each pad, the base bump 14 for connecting with other substrates etc., the emitter bump 15, and the collector bump 20 are formed. The collector opening 19 and the collector bump 20 may be formed two [at a time] because structural and thermal balance was taken into consideration, and depending on the case, one is sufficient as it. In this TORANJISU, since it passes along some of p base diffusion fields 3 and n mold substrates 18 and a current flows from n emitter diffusion field 4 to a collector electrode, the range from p base diffusion field 3 and p base diffusion field 3 to the collector opening 19 is an active region.

[0003] Drawing 5 is a sectional view in the B-B line of the semiconductor chip of drawing 4 . The emitter diffusion field 4 of n mold is formed in the surface layer of n type half-***** 18 at the base diffusion field 3 and surface layer of p mold. The oxide film 2 has covered the front-face top of the semi-conductor substrate 18, and the aluminum electrode 7 touches through the base opening 5 and the emitter opening 6 which were able to be opened in the oxide film 2. On the aluminum electrode 7, the base bump 14 and the emitter bump 15 are formed through the substrate metal membrane 9 at the opening 23 for base bumps and the opening 24 for emitter bumps which the surface protective coat 22 which consists of a nitride has covered, and were able to be opened in the protective coat 22.

[0004] Drawing 6 (a) - (d) is the sectional view of the order of a process for explaining the manufacture approach of drawing 4 and the transistor of 5. A production process is explained based on this drawing. According to processes, such as pattern formation which used the photo etching technique for n mold substrate 18, oxidization, and impurity diffusion, since it is known well, a process until the junction structure of a transistor is made is skipped. With a photo etching technique, next it forms the base opening 5 and the emitter opening 6 in the oxide film 2 on such a semi-conductor substrate 18, aluminum film is deposited on the whole surface, pattern formation is carried out to a predetermined configuration, and the aluminum electrode 7 is formed in it. Moreover, the surface protective coat 22 of the nitride by the CVD method is put on the whole surface, and the opening 23 for base bumps and the opening 24 for emitter bumps are formed in it [drawing 6 (a)].

[0005] Then, the bump substrate metal layer 9 is put on the whole surface [drawing 6 (b)]. Usually Cu, Pd, Au, Ag, etc. which put Ti and Ti-W with the sufficient aluminum electrode 7 and adhesion, Cr, W, etc. by vacuum evaporation or the spatter as a bump substrate metal layer 9, are soft and have ductility on it are attached. When making a bump electrode from solder, Sn barrier layers, such as nickel, are formed further and it considers as the multilayer structure of three or more layers.

[0006] Then, a photoresist 10 is applied, and the bump electrode 12 is continuously carried out patterning and formed electrolysis plating with the mask for bump electrode formation [drawing 6 (c)]. Vacuum deposition which used as the mask the photoresist 10 which carried out patterning similarly at this time may be performed, and the lift-off method for removing a photoresist 10 and the metal membrane on it may be used.

[0007] Finally, the photoresist 10 of drawing 6 (c) is removed, etching removal of the garbage of the bump substrate metal membrane 9 put by photo etching processing if needed at the time of electrolytic plating is carried out, heating fusion of each electrode is electrically carried out after separation and with a continuous furnace, a bump configuration is prepared, and the base bump 14, the emitter bump 15, and the collector bump that is not illustrated are completed [drawing 6 (d)].

[0008]

[Problem(s) to be Solved by the Invention] As shown in drawing 4 , in the conventional semiconductor device, priority was given to the ease of bonding and the pad for bondings was provided in the circumference part of a semiconductor chip. And usually the bump for bondings was formed in the pad. However, for the reason, the area of a bonding pad is required and only the part could not but enlarge the semiconductor chip.

[0009] In view of the above problem, this invention reduces a chip area as much as possible, and aims at therefore offering a cheap semiconductor device.

[0010]

[Means for Solving the Problem] The semiconductor device with a bump of this invention shall have a bump through a soft insulator layer on the activity section in which the current of a semi-conductor

substrate flows for solution of the above-mentioned technical problem. It is effective that the soft insulator layer is polyimide resin. And spreading formation of the polyimide resin shall be carried out as the manufacture approach of the above-mentioned semiconductor device.

[0011]

[Function] The electrode pad of the chip circumference part needed conventionally becomes unnecessary by providing the above-mentioned means and considering as the semiconductor device with a bump which has a bump through a soft insulator layer on the activity section in which the current of a semi-conductor substrate flows. If the soft insulator layer is polyimide resin, since it has aluminum and a coefficient of thermal expansion near the coefficient of thermal expansion of solder, it becomes strong structure to heat stress.

[0012] And as the manufacture approach of the above-mentioned semiconductor device, if spreading formation of the polyimide resin is carried out, a process will be made simply and certainly.

[0013]

[Example] The example of this invention is explained referring to a drawing below. Drawing 2 is the top view of the npn transistor formed in n mold substrate as an example of the easy semiconductor device which carried out this invention. The structure of a transistor shall be made by processes, such as pattern formation which used the photo etching technique for the semiconductor chip 1, oxidization, and impurity diffusion. 3 is p base diffusion field and 4 is n emitter diffusion field. The front face of a chip is established in the base opening 5 for electrode connection, and the emitter opening 6 by the wrap oxide film, respectively. 19 is collector opening for electrode connection of a collector. In this TORANJISU, since it passes along some of p base diffusion fields 3 and n mold substrates 18 and a current flows from n emitter diffusion field 4 to a collector electrode, the range from p base diffusion field 3 and p base diffusion field 3 to the collector opening 19 is an active region. And metals, such as aluminum, are prepared in vacuum evaporatio and the electrode 7 which carried out pattern formation on these openings, and the base bump 14 for connecting with other substrates etc. through the insulator layer 8 which consists of polyimide resin on those electrodes, the emitter bump 15, and the collector bump 20 are formed. As this polyimide resin, KJR-651 made from Shin-etsu Chemistry were used, for example. There are not a configuration of drawing 2, then the need of forming a pad in the periphery of a semiconductor chip like before, and only the part can reduce a semiconductor chip. For example, as a result of omitting the pad of 400-micrometer angle, the chip of 4mm angle was made into 3.2mm angle, and about 40% of contraction was attained in area.

[0014] Drawing 1 is a sectional view in the A-A line of the semiconductor chip of drawing 2. The emitter diffusion field 4 of n mold is formed in the surface layer of the n-type-semiconductor substrate 18 at the base diffusion field 3 and surface layer of p mold. The oxide film 2 has covered the front-face top of the semi-conductor substrate 18, and the aluminum electrode 7 touches through the base opening 5 and the emitter opening 6 which were opened in the oxide film 2. On the aluminum electrode 7, there is an insulator layer 8 of polyimide and the base bump 14 and the emitter bump 15 who consist of solder through the substrate metal membrane 9 on the insulator layer 8 are formed. The aluminum electrode 7, and the base bump 14 and the emitter bump 15 are in contact in the base contact section 16 and the emitter contact section 17, respectively. Ti, Cu, and solder are on the insulator layer 8 of polyimide resin with as soft Young's modulus as about 2000Pa, and it has [before the soldered joint and] strong structure from the upper part also behind at the impact.

[0015] Respectively, since the coefficient of thermal expansion of Ti the aluminum electrode 7, an insulator layer 8, and the substrate metal membrane's 9 and bumps' 14 and 15 solder is a very near value at 2.9×10^{-5} , 5.0×10^{-5} , 8.4×10^{-6} , and 2.0×10^{-5} /degree C, adhesion also has good and structure strong against thermal stress, and it is reliable. Moreover, the effectiveness that they perform effectively stripping of the heat generated in an active region since bumps 14, 15, and 20 are stationed right above [of the active region of a semiconductor device] is also acquired, and increase of current capacity can be aimed at.

[0016] Drawing 3 (a) - (d) is the sectional view of the order of a process for explaining the manufacture approach of drawing 1 and the transistor of 2. A process is explained based on this drawing. It is the

same as the conventional manufacture approach up to the place in which the junction structure of a transistor is made, an oxide film 2 is further put on the whole surface, the base opening 5 and the emitter opening 6 are formed in the oxide film 2 on the base diffusion field 3 and the emitter diffusion field 4, respectively, and the aluminum electrode 7 is formed according to processes, such as pattern formation which used the photo etching technique for n mold substrate 18, oxidization, and impurity diffusion, and good. Next, polyimide resin is alternatively dropped at a part to form a bump electrode in, and an insulator layer 8 is formed [drawing 3 (a)]. At this time, it is required for all on the aluminum electrode 7 not to be dropped but to leave a part.

[0017] Then, good Ti of a substrate and adhesion same with the former is put with vacuum deposition as a bump substrate metal layer 9 [drawing 3 (b)]. The whole surface may be covered and you may cover partially using a photo etching technique. however, the aluminum electrode 7 top which it left, without dropping an insulator layer 8 at a front process — covering — the base contact section 16 and the emitter contact section 17 — although not illustrated, the collector contact section is formed. As a substrate metal layer 9, besides Ti, Ti-W, and Cr and W are sufficient, and a spatter is sufficient as the covering approach. Cu which is soft on it and has ductility is vapor-deposited. Instead of Cu, Pd, Au, Ag, etc. are sufficient. Furthermore, in order to make a bump electrode from solder, nickel used as Sn barrier layer is vapor-deposited, and it considers as the multilayer structure of three layers.

[0018] next, the photoresist 10 — applying — the mask for bump electrode formation — patterning — carrying out — the opening 23 for base bumps, the opening 24 for emitter bumps, and [drawing 3 (c)] that prepares opening for collector bumps although not illustrated. Then, the bump electrode 12 is formed with electrolysis plating of solder. Vacuum deposition which used as the mask the photoresist 10 which carried out patterning similarly at this time may be performed, and the lift-off method for removing a photoresist 10 and the metal membrane on it may be used.

[0019] Finally, a photoresist 10 is removed, after carrying out etching removal of the garbage of the bump substrate metal membrane 9 put using the photo etching technique if needed at the time of electrolytic plating and separating each electrode electrically, heating fusion is carried out with a continuous furnace, a bump configuration is prepared, and the base bump 14 and the emitter bump 15 are formed [drawing 3 (d)]. Previous polyimide resin has the thermal resistance which is equal to heat treatment for this solder melting enough.

[0020] Polyimide resin can be applied to the whole surface in the place of drawing 3 (a), and the predetermined pattern of an insulator layer 8 can also be obtained by photo etching. However, in order to use a usually strong, alkaline solution for etchant, the aluminum electrode 7 of an outcrop will be etched. By this method, it is alternatively dropped at the need section, and since an insulator layer 8 is formed, there is also no possibility of corroding the aluminum electrode 7. Moreover, it becomes unnecessary [the protective coat which consists of the conventional nitride], and a merit is found out also in respect of a man day and cost.

[0021] This invention of it being applicable not only to the above-mentioned example but the integrated circuit which has a bump is natural.

[0022]

[Effect of the Invention] Since stripping of the heat which it was indifferent in structure strong against external force, and large contraction of a semiconductor chip is not only attained in the semiconductor device of this invention by having prepared the bump through the soft insulator layer on the active region of a semiconductor device, but was generated in the active region is efficiently performed as explained above, increase of current capacity can be aimed at. Consequently, a big contribution is made to the cost reduction of a semiconductor device.

[Translation done.]

NOTICES

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The sectional view of the semiconductor device of the example of this invention

[Drawing 2] The top view of the semiconductor device of drawing 1

[Drawing 3] The sectional view having shown the production process of the semiconductor device of drawing 1 in order of (d) from (a)

[Drawing 4] The top view of the example of the conventional semiconductor device

[Drawing 5] The sectional view in the B-B line of the semiconductor device of drawing 4

[Drawing 6] The sectional view having shown the production process of the semiconductor device of drawing 4 in order of (d) from (a)

[Description of Notations]

1 Semiconductor Chip

2 Oxide Film

3 Base Diffusion Field

4 Emitter Diffusion Field

5 Base Opening

6 Emitter Opening

7 Aluminum Electrode

8 Insulator Layer

9 Substrate Metal Membrane

10 Photoresist

12 Bump Electrode

14 Base Bump

15 Emitter Bump

16 Base Contact Section

17 Emitter Contact Section

18 N Mold Substrate

19 Collector Opening

20 Collector Bump

21 Collector Contact Section

22 Surface Protective Coat

23 Opening for Base Bumps

24 Opening for Emitter Bumps

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-203906

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321 21/768		9169-4M	H 0 1 L 21/ 92 21/ 90	6 0 2 L Q

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平7-11306

(22) 出願日 平成7年(1995)1月27日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 天野 彰

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

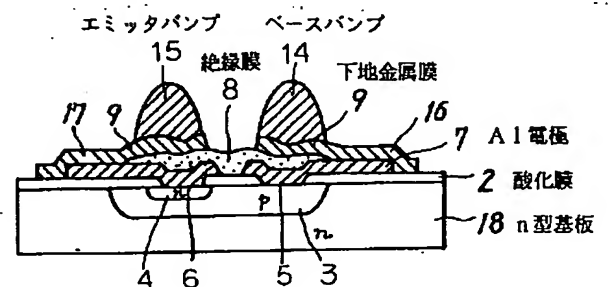
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 バンプ付き半導体装置およびその製造方法

(57) 【要約】 (修正有)

【目的】 バンプ付き半導体装置のチップの縮小を図る。

【構成】 半導体装置の電流の流れる活性領域の上に柔らかい絶縁膜8を介してバンプ14、15を設けることにより、従来チップの周辺部に設けていたパッドが不要になり、チップ1面積が縮小できる。また、上方からの衝撃に対する保護と、活性領域からの熱放散の効率化の効果も得られる。絶縁膜8として、ポリイミド樹脂を用いれば、その弾性率や、耐熱性が適している。更にポリイミド樹脂を塗布形成すれば、パターン形成時のアルカリの悪影響が避けられる。



(2)

【特許請求の範囲】

【請求項1】半導体基板の電流が流れる活性領域上に柔らかい絶縁膜を介してバンプを有することを特徴とするバンプ付き半導体装置。

【請求項2】柔らかい絶縁膜がポリイミド樹脂であることを特徴とする請求項1に記載のバンプ付き半導体装置。

【請求項3】半導体基板の電流が流れる活性領域上のバンプ形成部位に、ポリイミド樹脂を塗布形成することを特徴とする請求項2に記載のバンプ付き半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プリント基板、フィルム基板等へのボンディングのための突起状の電極、いわゆるバンプを有するバンプ付き半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置の多数の電極の高信頼性の接続のため、突起状の電極、いわゆるバンプを有する半導体装置が量産されている。従来のバンプ付き半導体装置の一例として図4に、n型基板を用いたnpnトランジスタチップに半田バンプを形成した例の平面図を示す。半導体チップ1にフォトリソ技術を用いたパターン形成、酸化、不純物拡散等の工程により、トランジスタ構造が作り込まれているものとする。3はベース拡散領域、4はエミッタ拡散領域であり、その上の酸化膜に電極接続のために設けられたベース開口部5、エミッタ開口部6が点線で示されている。19はコレクタの電極接続のための開口部である。そして、これらの開口部上にAl等の金属を蒸着、パターン形成したAl電極7が設けられ、チップ1上の周辺部に設けられたパッドに接続されている。各パッド上には他の基板等に接続するためのベースバンプ14、エミッタバンプ15、コレクタバンプ20が形成されている。コレクタ開口部19およびコレクタバンプ20が二つずつ設けられているのは、構造的、熱的なバランスを考慮したためであり、場合によっては一つでもよい。このトランジスタにおいて、nエミッタ拡散領域4から、pベース拡散領域3、n型基板18の一部を通して、コレクタ電極へと電流が流れるので、pベース拡散領域3およびpベース拡散領域3からコレクタ開口部19までの範囲が活性領域である。

【0003】図5は、図4の半導体チップのB-B線における断面図である。n型半導体基板18の表面層にp型のベース拡散領域3と、その表面層にn型のエミッタ拡散領域4が形成されている。半導体基板18の表面上は、酸化膜2が覆っており、その酸化膜2に開けられたベース開口部5、エミッタ開口部6を通じてAl電極7が接触している。Al電極7の上に、窒化膜からなる表面保護膜22が覆っておりその保護膜22に開けられた

ベースバンプ用開口部23、エミッタバンプ用開口部24に下地金属膜9を介してベースバンプ14、エミッタバンプ15が形成されている。

【0004】図6(a)～(d)は図4、5のトランジスタの製造方法を説明するための工程順の断面図である。この図に基づき、製造工程を説明する。n型基板18にフォトリソ技術を用いたパターン形成、酸化、不純物拡散等の工程により、トランジスタの接合構造が作り込まれるまでの工程は良く知られているので省略する。そのような半導体基板18上の酸化膜2に、フォトリソ技術により、ベース開口部5、エミッタ開口部6を設ける、次に、Al膜を全面に堆積し、所定の形状にパターン形成し、Al電極7を設ける。その上全面にCVD法による窒化膜の表面保護膜22を被着し、ベースバンプ用開口部23、エミッタバンプ用開口部24を設ける〔図6(a)〕。

【0005】続いて、バンプ下地金属層9を全面に被着する〔図6(b)〕。バンプ下地金属層9としては、Al電極7と密着性のよい、Ti、Ti-W、Cr、W等を蒸着又はスパッタで被着し、その上に柔らかくて延性のあるCu、Pd、Au、Agなどを付けるのが普通である。半田でバンプ電極を作る時には、更にNi等のSnバリア層を形成して、3層以上の多層構造とする。

【0006】その後、フォトリソ10を塗布し、バンプ電極形成用マスクでパターニングし、続いて電解メッキ法でバンプ電極12を形成する〔図6(c)〕。この時、同様にパターニングしたフォトリソ10をマスクにした蒸着法を行い、フォトリソ10およびその上の金属膜を除去するリフトオフ法を使用しても良い。

【0007】最後に、図6(d)のフォトリソ10を除去し、必要に応じてフォトリソ処理で電解メッキ時に被着したバンプ下地金属膜9の不要部分をエッチング除去し、各々の電極を電気的に分離後、トンネル炉で加熱溶融してバンプ形状を整え、ベースバンプ14、エミッタバンプ15および図示されないコレクタバンプを完成する〔図6(d)〕。

【0008】

【発明が解決しようとする課題】図4に示したように、従来の半導体装置においては、ボンディングの容易さを優先して半導体チップの周辺部分にボンディング用のパッドを設けていた。そして、そのパッドにボンディング用のバンプを形成するのが普通であった。しかし、そのため、ボンディングパッドの面積が必要であり、半導体チップはその分だけ大きくせざるを得なかった。

【0009】以上の問題に鑑み本発明は、チップ面積をできるだけ縮小し、よって安価な半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記の課題の解決のため

(3)

め、本発明のバンプ付き半導体装置は、半導体基板の電流が流れる活性部上に、柔らかい絶縁膜を介してバンプを有するものとする。その柔らかい絶縁膜がポリイミド樹脂であることが有効である。そして、上記の半導体装置の製造方法として、ポリイミド樹脂を塗布形成するものとする。

【0011】

【作用】上記の手段を講じ、半導体基板の電流が流れる活性部上に、柔らかい絶縁膜を介してバンプを有するバンプ付き半導体装置とすることによって、従来必要としていたチップ周辺部分の電極パッドは不要となる。その柔らかい絶縁膜がポリイミド樹脂であれば、Alおよび半田の熱膨張係数に近い熱膨張係数をもつため、熱ストレスに対して強い構造となる。

【0012】そして、上記の半導体装置の製造方法として、ポリイミド樹脂を塗布形成すれば、工程が簡単にしかも確実にできる。

【0013】

【実施例】以下に図面を参照しながら、本発明の実施例について説明する。図2は、本発明を実施した簡単な半導体装置の例として、n型基板に形成したnpnトランジスタの平面図である。半導体チップ1にフォトリソ技術を用いたパターン形成、酸化、不純物拡散等の工程により、トランジスタの構造が作り込まれているものとする。3はpベース拡散領域、4はnエミッタ拡散領域である。チップの表面を覆う酸化膜にそれぞれ電極接続のためのベース開口部5、エミッタ開口部6が設けられている。19はコレクタの電極接続のためのコレクタ開口部である。このトランジスタにおいて、nエミッタ拡散領域4から、pベース拡散領域3、n型基板18の一部を通して、コレクタ電極へと電流が流れるので、pベース拡散領域3およびpベース拡散領域3からコレクタ開口部19までの範囲が活性領域である。そして、これらの開口部上にAl等の金属を蒸着、パターン形成した電極7が設けられ、それらの電極上にポリイミド樹脂からなる絶縁膜8を介して他の基板等に接続するためのベースバンプ14、エミッタバンプ15、コレクタバンプ20が形成されている。このポリイミド樹脂としては、例えば信越化学(株)製のKJR-651を用いた。図2の構成とすれば、従来のように半導体チップの周辺部にパッドを形成する必要が無く、その分だけ半導体チップを縮小できる。例えば、400 μ m角のパッドを省略した結果、4mm角のチップが3.2mm角にでき、面積で40%近い縮小が可能になった。

【0014】図1は、図2の半導体チップのA-A線における断面図である。n型半導体基板18の表面層にp型のベース拡散領域3と、その表面層にn型のエミッタ拡散領域4が形成されている。半導体基板18の表面上は、酸化膜2が覆っており、その酸化膜2にけられたベース開口部5、エミッタ開口部6を通じてAl電極7

が接触している。Al電極7の上に、ポリイミドの絶縁膜8があり、その絶縁膜8上に下地金属膜9を介して半田からなるベースバンプ14、エミッタバンプ15が形成されている。Al電極7とベースバンプ14、エミッタバンプ15とはそれぞれベースコンタクト部16、エミッタコンタクト部17で接触している。ヤング率が約2000Paと柔らかいポリイミド樹脂の絶縁膜8の上に、Ti、Cu、および半田があつて、半田接合前も、また後にも上方からの衝撃に強い構造となっている。

【0015】Al電極7、絶縁膜8、下地金属膜9のTi、バンプ14、15の半田の熱膨張係数は、それぞれ、 2.9×10^{-5} 、 5.0×10^{-5} 、 8.4×10^{-6} 、 $2.0 \times 10^{-5}/^{\circ}\text{C}$ で極めて近い値なので、密着性も良く且つサーマルストレスに強い構造になっていて信頼性も高い。また、バンプ14、15、20が、半導体装置の活性領域の直上に配置されているので、活性領域で発生する熱の放散を有効に行うという効果も得られ、電流量の増大が図れる。

【0016】図3(a)～(d)は図1、2のトランジスタの製造方法を説明するための工程順の断面図である。この図に基づき、工程を説明する。n型基板18にフォトリソ技術を用いたパターン形成、酸化、不純物拡散等の工程により、トランジスタの接合構造を作り、更に酸化膜2を全面に被着し、ベース拡散領域3、エミッタ拡散領域4の上の酸化膜2に、それぞれベース開口部5、エミッタ開口部6を設け、Al電極7を設ける所までは従来の製造方法と同じでよい。次に、ポリイミド樹脂をバンプ電極を形成したい部位に選択的に滴下し、絶縁膜8を設ける〔図3(a)〕。このときAl電極7の上全部には滴下せず、一部残すことが必要である。

【0017】続いて、バンプ下地金属層9として、従来と同じく下地と密着性の良いTiを蒸着法により被着する〔図3(b)〕。全面に被着してもよいし、フォトリソ技術を用いて部分的に被着しても良い。但し、前の工程で絶縁膜8を滴下せずに残したAl電極7上にも被着して、ベースコンタクト部16、エミッタコンタクト部17、図示していないがコレクタコンタクト部を形成する。下地金属層9としてはTiの他に、Ti-W、Cr、Wでもよく、またその被着方法としては、スパッタでもよい。その上に柔らかくて延性のあるCuを蒸着する。Cuの代わりに、Pd、Au、Agなどでもよい。更に半田でバンプ電極を作るため、Snバリア層となるNiを蒸着し、3層の多層構造とする。

【0018】次に、フォトリソ10を塗布し、バンプ電極形成用マスクにパターニングして、ベースバンプ用開口部23、エミッタバンプ用開口部24及び図示していないがコレクタバンプ用開口部を設ける〔図3

(c)〕。続いて半田の電解メッキ法でバンプ電極12を形成する。この時、同様にパターニングしたフォトレ

(4)

5

ジスト10をマスクにした蒸着法を行い、フォトレジスト10およびその上の金属膜を除去するリフトオフ法を使用しても良い。

【0019】最後に、フォトレジスト10を除去し、必要に応じてフォトエッチング技術を用いて電解メッキ時に被着したパンプ下地金属膜9の不要部分をエッチング除去し、各々の電極を電氣的に分離した後、トンネル炉で加熱熔融してパンプ形状を整え、ベースパンプ14とエミッタパンプ15とを形成する〔図3(d)〕。先のポリイミド樹脂はこの半田熔融のための熱処理に十分耐

える耐熱性を有している。

【0020】図3(a)のところで、ポリイミド樹脂を全面に塗布し、フォトエッチングで絶縁膜8の所定パターンを得ることもできる。しかし、エッチャントには、通常強いアルカリ性の溶液を使用するため、露出部のA1電極7がエッチングされてしまう。本法では、必要部に選択的に滴下して、絶縁膜8を設けるのでA1電極7を腐食する恐れもない。また、従来の窒化膜からなる保護膜も不要となり、工数、コスト面でもメリットが見出される。

【0021】本発明は、上記の例だけでなく、パンプを有する集積回路にも適用できることは勿論である。

【0022】

【発明の効果】以上に説明したように、本発明の半導体装置においては、半導体装置の活性領域上に柔らかい絶縁膜を介してパンプを設けたことにより、半導体チップの大幅な縮小が可能になるだけでなく、外部応力に強い構造となり、また活性領域で発生した熱の放散が効率良く行われるので、電流容量の増大が図れる。その結果、半導体装置のコスト低減に大きな寄与をなすものである。

【図面の簡単な説明】

6

【図1】本発明の実施例の半導体装置の断面図

【図2】図1の半導体装置の平面図

【図3】図1の半導体装置の製造工程を(a)から(d)の順に示した断面図

【図4】従来の半導体装置の例の平面図

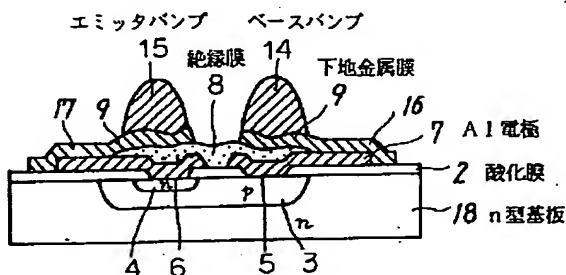
【図5】図4の半導体装置のB-B線における断面図

【図6】図4の半導体装置の製造工程を(a)から(d)の順に示した断面図

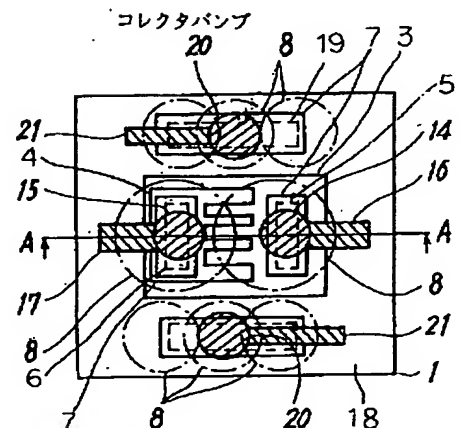
【符号の説明】

1	半導体チップ
2	酸化膜
3	ベース拡散領域
4	エミッタ拡散領域
5	ベース開口部
6	エミッタ開口部
7	A1電極
8	絶縁膜
9	下地金属膜
10	フォトレジスト
11	パンプ電極
12	ベースパンプ
13	エミッタパンプ
14	ベースコンタクト部
15	エミッタコンタクト部
16	n型基板
17	コレクタ開口部
18	コレクタパンプ
19	コレクタコンタクト部
20	表面保護膜
21	ベースパンプ用開口部
22	エミッタパンプ用開口部

【図1】

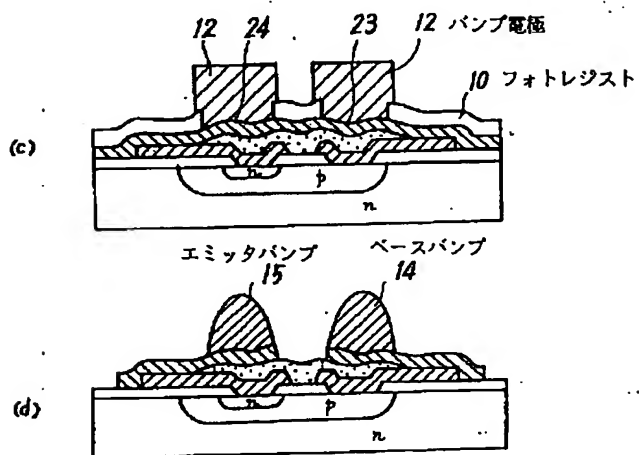
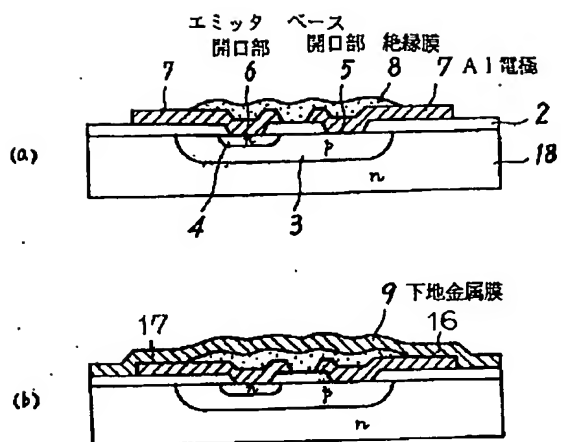


【図2】

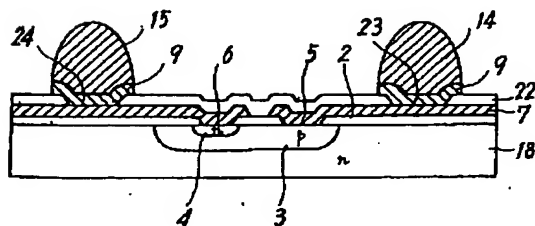


(5)

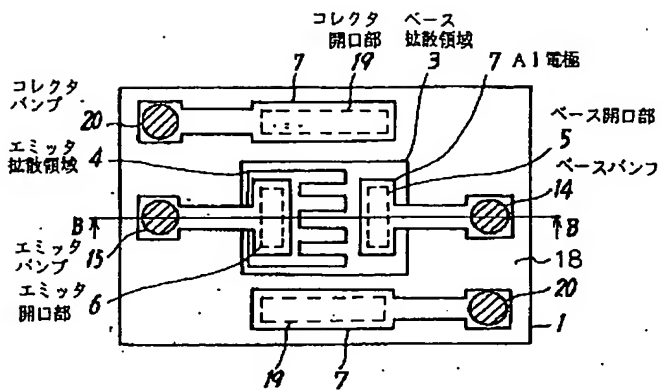
【図3】



【図5】



【図4】



【図6】

